



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1998年12月4日

出願番号
Application Number:

平成10年特許願第345651号

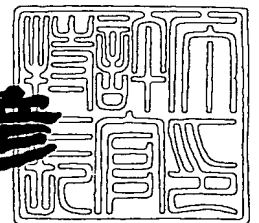
出願人
Applicant (s):

三洋電機株式会社

2000年1月7日

特許庁長官
Commissioner,
Patent Office

近藤隆彦



出証番号 出証特平11-3092017

【書類名】 特許願

【整理番号】 KIA0980186

【提出日】 平成10年12月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明の名称】 半導体装置とその製造方法

【請求項の数】 5

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

 【氏名】 赤石 由美子

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社
社内

 【氏名】 菊地 修一

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

 【代表者】 近藤 定男

【代理人】

 【識別番号】 100076794

 【弁理士】

 【氏名又は名称】 安富 耕二

 【連絡先】 電話 03-5684-3268 知的財産部駐在

【選任した代理人】

 【識別番号】 100107906

 【弁理士】

 【氏名又は名称】 須藤 克彦

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9702954

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とその製造方法

【特許請求の範囲】

【請求項 1】 ソース領域、チャンネル領域及びドレイン領域を有し、更に前記チャンネル領域上にゲート電極が形成されており、前記チャンネル領域及びドレイン領域間にドリフト領域が形成されて成る構成が素子分離膜を介して複数体並設された半導体装置において、

前記素子分離膜下にチャンネルストッパ層が形成されていることを特徴とする半導体装置。

【請求項 2】 ソース領域、チャンネル領域及びドレイン領域を有し、更に前記チャンネル領域上にゲート電極が形成されており、前記チャンネル領域及びドレイン領域間に少なくとも前記ゲート電極下では浅く、かつ前記ドレイン領域近傍では深くドリフト領域が形成されて成る構成が素子分離膜を介して複数体並設された半導体装置において、

前記素子分離膜下にチャンネルストッパ層が形成されていることを特徴とする半導体装置。

【請求項 3】 第 1 導電型の半導体基板内に形成された第 1 導電型ウエル領域と、

前記基板上にゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極に隣接するように形成された第 1 導電型ボディー領域と、

前記第 1 導電型ボディー領域内に形成された第 2 導電型のソース領域並びにチャンネル領域と、

前記第 1 導電型ボディー領域と離間された位置に形成された第 2 導電型のドレイン領域と、

前記チャンネル領域から前記ドレイン領域にかけて、少なくとも前記ゲート電極下では浅く、かつドレイン領域近傍では深く形成された第 2 導電型のドリフト領域とを有する構成が、その下部にチャンネルストッパ層が形成された素子分離膜を介して複数体並設されていることを特徴とする半導体装置。

【請求項 4】 第 1 導電型の半導体基板内の第 1 導電型ウエル領域内に後工

程を経てドリフト領域と成る低濃度の第2導電型層を形成するために2種類の第2導電型不純物をイオン注入する工程と、

前記基板上に耐酸化性膜を形成した後にこの耐酸化性膜を被覆するように形成したホトレジスト膜をマスクにして基板表層に第1導電型不純物をイオン注入する工程と、

前記耐酸化性膜をマスクに選択酸化して第1、第2のLOCOS酸化膜を形成すると共に、2種類の第2導電型不純物のそれぞれの拡散係数の差から前記第1導電型ウェル領域内の比較的深い位置及び比較的基板表層のそれぞれに低濃度の第2導電型層を形成し、更に前記第2のLOCOS酸化膜下にチャンネルストッパ層を形成する工程と、

ドレイン形成領域上の前記基板上に形成したホトレジスト膜をマスクにしてソース形成領域の前記基板表層に第1導電型不純物をイオン注入し拡散させることで、前記ソース形成領域の前記第1導電型ウェル領域内の比較的深い位置に形成された第2導電型層をこの第1導電型不純物の拡散で相殺する工程と、

前記基板上の第1、第2のLOCOS酸化膜以外の領域にゲート絶縁膜を形成し、このゲート絶縁膜から前記第1のLOCOS酸化膜上にまたがるようにゲート電極を形成した後に、このゲート電極及びドレイン形成領域を被覆するように形成したホトレジスト膜をマスクにして第1導電型不純物を注入し拡散することで前記ゲート電極の一端部に隣接するように第1導電型ボディー領域を形成する工程と、

前記第1導電型ボディー領域内に形成するソース形成領域上及びドレイン形成領域上に開口を有するホトレジスト膜をマスクにして第2導電型不純物を注入してソース・ドレイン領域を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項5】 前記ドリフト領域と成る低濃度の第2導電型層が、拡散係数の異なる2種類の第2導電型不純物と、この一方の第2導電型不純物の拡散係数とほぼ同程度かそれ以上の拡散係数を有する第1導電型不純物との拡散係数の差を利用して形成されていることを特徴とする請求項4に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置とその製造方法に関し、更に言えば、例えば液晶駆動用 IC 等に利用される高電圧素子としての LD (Lateral Double Diffused) MOS トランジスタ技術に関する。

【0002】

【従来の技術】

ここで、LDMOS トランジスタ構造とは、半導体基板表面側に形成した拡散領域に対して、導電型の異なる不純物を拡散させて、新たな拡散領域を形成し、これらの拡散領域の横方向拡散の差を実効チャネル長として利用するものであり、短いチャネルが形成されることで、低オン抵抗化に適した素子となる。

【0003】

図 12 は、従来の LDMOS トランジスタを説明するための断面図であり、一例として N チャネル型の LDMOS トランジスタ構造について図示してある。尚、P チャネル型の LDMOS トランジスタ構造についての説明は省略するが、導電型が異なるだけで、同様な構造となっているのは周知の通りである。

【0004】

図 12 において、1 は一導電型、例えば P 型の半導体基板で、2 は N 型ウエル領域で、この N 型ウエル領域 2 内に P 型ボディー領域 3 が形成されると共に、この P 型ボディー領域 3 内には N 型拡散領域 4 が形成され、また前記 N 型ウエル領域 2 内に N 型拡散領域 5 が形成されている。基板表面にはゲート絶縁膜 6 を介してゲート電極 7 が形成されており、このゲート電極 7 直下の P 型ボディー領域 3 の表面領域にはチャネル領域 8 が形成されている。

【0005】

そして、前記 N 型拡散領域 4 をソース領域、N 型拡散領域 5 をドレイン領域とし、LOCOS 酸化膜 9A 下の N 型ウエル領域 2 をドリフト領域としている。また、10、11 はそれぞれソース電極、ドレイン電極であり、12 は P 型ボディー領域 3 の電位を取るための P 型拡散領域で、13 は層間絶縁膜である。

【0006】

上記LDMOSトランジスタにおいては、N型ウエル領域2を拡散形成することで、N型ウエル領域2表面での濃度が高くなり、N型ウエル領域2表面での電流が流れやすくなると共に、高耐圧化を図ることができる。そして、このような構成のLDMOSトランジスタは、表面緩和型（RESURF）LDMOSと呼ばれ、前記N型ウエル領域2のドリフト領域のドーパント濃度は、RESURF条件を満たすように設定されている。尚、このような技術は、特開平9-139438号公報等に記載されている。

【0007】

【発明が解決しようとする課題】

しかしながら、図12に示すように前記N型ウエル領域2は一様に同じ深さ位置まで形成されているため、更なる高耐圧化並びにオン抵抗の低減化を図る際の妨げとなっていた。

【0008】

また、図12に示すように上記構成のLDMOSトランジスタが、素子分離膜9Bを介して複数体並設されている場合において、隣り合うトランジスタ同士を分離するための素子分離膜9Bのサイズが長くなり、高集積化の妨げとなっていた。即ち、素子分離膜9Bを介して隣り合うN型ウエル領域2は、周知のウエル拡散工程により形成されているため、横方向への広がりが多く、また空乏層の広がりも大きいために、例えばL2（およそ $10\mu\text{m}$ ～ $30\mu\text{m}$ 程度）のサイズを必要としていた。

【0009】

従って、本発明では更なる高耐圧化並びにオン抵抗の低減化の要望に応え得ると共に、高集積化を可能とする半導体装置とその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】

そこで、上記課題を解決するために本発明は、ソース領域4、チャネル領域8及びドレイン領域5を有し、更に前記チャネル領域8上にゲート電極7が形成さ

れており、前記チャネル領域 8 及びドレイン領域 5 間に少なくとも前記ゲート電極 7 下では浅く（第 1 の N-層 22A）、かつ前記ドレイン領域 5 近傍では深く（第 2 の N-層 22B）形成された N-層（ドリフト領域）22 から成る構成が、素子分離膜 9A を介して複数体並設された半導体装置において、例えば N チャネル型の LDMOS トランジスタを一例として説明すると、前記素子分離膜 9A 下にチャネルストッパ層 38 が形成されていることを特徴とするもので、ゲート電極 7 下に形成されるドリフト領域を浅くすることで RESURF 効果が高まると共に、高集積化が図れる。

【0011】

そして、その製造方法は、P 型半導体基板 1 内の P 型ウエル領域 21 内に前記ドリフト領域と成る N-層 22 を形成するために 2 種類の N 型不純物（例えば、ヒ素イオンとリンイオン）をイオン注入する。次に、前記基板 1 上に後工程で LOCOS 酸化時のマスクと成るシリコン窒化膜 34 を形成し、このシリコン窒化膜 34 を被覆するように形成したホトレジスト膜 36 をマスクにして基板表層に P 型不純物（例えば、ボロンイオン）をイオン注入する。続いて、前記シリコン窒化膜 34 をマスクに選択酸化して第 1、第 2 の LOCOS 酸化膜 9A、9B を形成すると共に、2 種類の N 型不純物（例えば、ヒ素イオンとリンイオン）のそれぞれの拡散係数の差から比較的基板表層及び前記 P 型ウエル領域 21 内の比較的深い位置のそれぞれに低濃度の N-層 22A、22B を形成し、更に前記第 2 の LOCOS 酸化膜 9B 下にチャネルストッパ層 38 を形成する。続いて、ドレイン形成領域上の前記基板 1 上に形成したホトレジスト膜 39 をマスクにしてソース形成領域の前記基板表層に P 型不純物（例えば、ボロンイオン）をイオン注入し拡散させることで、前記ソース形成領域の前記 P 型ウエル領域 21 内の比較的深い位置に形成された N-層 22B をこのボロンイオンの拡散で相殺する。次に、前記基板 1 上にゲート絶縁膜 6 を形成し、このゲート絶縁膜 6 から前記第 1 の LOCOS 酸化膜 9A 上にまたがるようにゲート電極 7 を形成した後に、このゲート電極 7 及びドレイン形成領域を被覆するように形成したホトレジスト膜 40 をマスクにして P 型不純物（例えば、ボロンイオン）を注入し拡散することで前記ゲート電極 7 の一端部に隣接するように P 型ボディー領域 3 を形成する。そ

して、前記P型ボディー領域3内に形成するソース形成領域上及びドレイン形成領域上にホトレジスト膜42をマスクにしてN型不純物（例えば、リンイオンやヒ素イオン）を注入してソース・ドレイン領域と成るN型拡散領域4, 5を形成する工程を有することを特徴とするものである。

【0012】

【発明の実施の形態】

以下、本発明の半導体装置とその製造方法に係る一実施形態について図面を参照しながら説明する。

【0013】

図1は本発明のLDMOSトランジスタを説明するための断面図であり、一例としてNチャネル型のLDMOSトランジスタ構造について図示してある。尚、Pチャネル型のLDMOSトランジスタ構造についての説明は省略するが、導電型が異なるだけで、同様な構造となっているのは周知の通りである。尚、従来構成と同等な構成については同符号を付して説明を簡略化する。

【0014】

図1において、1は一導電型、例えばP型の半導体基板で、21はP型ウエル領域で、このP型ウエル領域21内にN層22が形成されると共に、P型ボディー領域3が形成されている。また、前記P型ボディー領域3内にはN型拡散領域4が形成され、前記N層22内にN型拡散領域5が形成されている。基板表面にはゲート絶縁膜6を介してゲート電極7が形成されており、このゲート電極7直下のP型ボディー領域3の表面領域にはチャネル領域8が形成されている。

【0015】

更に、前記N型拡散領域4をソース領域、N型拡散領域5をドレイン領域とし、第1のLOCOS酸化膜9A下のN層22をドリフト領域としている。

【0016】

そして、上述した構成のLDMOSトランジスタが素子分離膜としての第2のLOCOS酸化膜9Bを介して複数体並設されており、この第2のLOCOS酸化膜9B下にはチャネルストッパ層38が形成されている。

【0017】

以下、図示した説明は省略するが、従来構成と同様に前記N型拡散領域4，5にコンタクトするようにソース電極10，ドレイン電極11が形成され、N型拡散領域4に隣接して前記P型ボディー領域3の電位を取るためのP型拡散領域12が形成され、層間絶縁膜13で被覆されている。

【0018】

本発明の特徴は、上述したようにP型ウエル領域21内にN層22を形成し、このN層22がゲート電極7の下方で浅く形成され（第1のN層22A）、N型拡散領域（ドレイン領域）5近傍で深く形成されていることである（第2のN層22B）。

【0019】

また、素子分離膜としての第2のLOCOS酸化膜9Bを介して複数体並設された構成において、この第2のLOCOS酸化膜9B下にチャネルストッパ層38が形成されていることである。

【0020】

これにより、前記ゲート電極7の下方で浅く形成された第1のN層22Aの濃度は高く形成されており、オン抵抗が小さくなり電流が流れやすくなると共に、N型拡散領域（ドレイン領域）5近傍（ドリフト領域位置）の第2のN層22Bの濃度は低く形成されているので空乏層が拡大しやすくなり高耐圧化が図れる（図11に示す濃度分布図参照）。

【0021】

また、第2のLOCOS酸化膜9B下に形成されたチャネルストッパ層38により、この第2のLOCOS酸化膜9Bを介して隣り合うLDMOSトランジスタの拡散領域4，5の空乏層の広がりを抑制することができ、この第2のLOCOS酸化膜9B自体のサイズを小さくでき、従って高集積化が図れる。更に言えば、従来構成のようなN型ウエル領域2に代えてN層22を採用していることでも高集積化が可能になっている。このような構成とすることで、第2のLOCOS酸化膜9B自体のサイズをL1（およそ $5\mu\text{m}$ ～ $8\mu\text{m}$ 程度）まで小さくできる（従来のサイズL2はおよそ $10\mu\text{m}$ ～ $30\mu\text{m}$ 程度）。更に、第2のLOCOS酸化膜9B端部からチャネルストッパ層38までの間隔をおよそ $2\mu\text{m}$ ～

3 μ m 程度あけることで高耐圧化が可能になる。尚、本実施形態の LDMOS トランジスタでは、およそ 30 V 程度の耐圧を有する。

【0022】

以下、上述した半導体装置の製造方法について図面を参照しながら説明する。

【0023】

図2において、P型半導体基板1上にパッド酸化膜30を形成した後に、P型ウェル領域21内にホトレジスト膜31をマスクにして後工程でドリフト領域と成るN層22を形成するための2種類のN型不純物（例えば、ヒ素イオンとリンイオン）をイオン注入して、第1、第2のイオン注入層32、33を形成する。本工程は、例えば、ヒ素イオンをおよそ加速電圧160 KeVで、注入量 $3 \times 10^{12} / \text{cm}^2$ の注入条件で、またリンイオンをおよそ加速電圧50 KeVで、注入量 $4 \times 10^{12} / \text{cm}^2$ の注入条件で行う。

【0024】

次に、図3において、前記基板1上に第1のホトレジスト膜35を介してパターンニングしたシリコン窒化膜34を被覆するように第2のホトレジスト膜36を形成した後に、この第2のホトレジスト膜36をマスクにして前記基板表面のある領域（後工程で形成されるチャネルストッパ層38の形成領域）にP型不純物（例えば、ボロンイオン）をイオン注入して、チャネルストッパ層形成用イオン注入層37を形成する。本工程は、例えば、ボロンイオンをおよそ加速電圧60 KeVで、注入量 $5 \times 10^{13} / \text{cm}^2$ の注入条件で行う。そして、このLDMOS トランジスタのチャネルストッパ層形成用のイオン注入工程は、不図示の通常の高耐圧MOS トランジスタに形成されるチャネルストッパ層の形成工程と同一工程で行われるため、いたずらに製造工数が増大することはない。

また、図4において、前記第1、第2のホトレジスト膜35、36を除去した後に、前記シリコン窒化膜34をマスクにして前記基板表面を選択酸化しておよそ7300 Å程度の膜厚の第1、第2のLOCOS酸化膜9A、9Bを形成すると共に、上述したように前記基板表層に注入しておいたヒ素イオンとリンイオンの拡散係数の差から前記ヒ素イオンが前記基板1内部に拡散されて比較的基板表層に第1のN層22Aが形成され、また前記リンイオンが前記基板1内部に拡

散されて前記P型ウェル領域2内の比較的深い位置に第2のN層22Bが形成され、更に前記第2のLOCOS酸化膜9B下にチャネルストッパ層38が形成されている。尚、前記第1のLOCOS酸化膜9Aは後述するゲート絶縁膜6の一部となって高耐圧化を図るためのものであり、第2のLOCOS酸化膜9Bは素子分離膜としてのものである。そして、第2のLOCOS酸化膜9B端部からチャネルストッパ層38までの間隔をおよそ $2\mu\text{m}\sim 3\mu\text{m}$ 程度あけることで高耐圧化が図られている。

【0025】

続いて、図5において、ドレイン形成領域上の前記基板1上にホトレジスト膜39を形成した後に、このホトレジスト膜39をマスクにしてソース形成領域の前記基板表層にP型不純物（例えば、ボロンイオン）をイオン注入し、拡散することで、前記ソース形成領域の前記第2のN層22Bを形成するリンイオンをこのボロンイオンで相殺してこのソース形成領域の第2のN層22Bを消滅させる。本工程は、例えば、ボロンイオンをおよそ加速電圧80KeVで、注入量 $8\times 10^{12}/\text{cm}^2$ の注入条件で行った後、およそ1100℃で2時間熱拡散させる。尚、図11は前述したヒ素イオン（実線で示す）とリンイオン（点線で示す）とボロンイオン（一点鎖線で示す）がそれぞれ拡散された際の不純物濃度分布を示す図で、図からわかるように基板のリンイオンを親とする濃度分布は、ボロンイオンを親とする濃度分布と重合して相殺されることになる。

【0026】

このように本発明では、ドリフト領域を形成する際に拡散係数の異なるヒ素イオンとリンイオンの拡散係数の差を利用して、ソース形成領域側の基板深くに形成された第2のN層22Bを、後工程で注入されるボロンイオンを拡散させることで相殺して、このソース形成領域側には基板表層に形成された第1のN層22Aだけが残ることとなり、オン抵抗の低減化が図られた半導体装置を比較的簡単な製造工程で提供することができる。

【0027】

次に、図6において、前記基板1上におよそ800Å程度の膜厚のゲート絶縁膜6を形成した後に、このゲート絶縁膜6から前記LOCOS酸化膜9上にまた

がるようにおよそ2500Å程度の膜厚のゲート電極7を形成する。

【0028】

続いて、図7において、前記ゲート電極7及びドレイン形成領域を被覆するように形成したホトレジスト膜35をマスクにしてP型不純物（例えば、ボロンイオン）を注入し拡散することで前記ゲート電極7の一端部に隣接するようにP型ボディー領域3を形成する。本工程は、例えば、ボロンイオンをおよそ加速電圧40KeVで、注入量 $5 \times 10^{13} / \text{cm}^2$ の注入条件で行った後、およそ1050℃で2時間熱拡散させる。

【0029】

更に、図8において、前記P型ボディー領域3内に形成するソース形成領域上及びドレイン形成領域上に開口部を有するホトレジスト膜42をマスクにしてN型不純物を注入してソース・ドレイン領域となるN型拡散領域4、5を形成する。本工程において、例えば、いわゆるLDD構造のソース・ドレイン領域を形成する場合には、先ず、図7に示すホトレジスト膜40を除去した状態で、例えば、リンイオンをおよそ加速電圧40KeVで、注入量 $3.5 \times 10^{13} / \text{cm}^2$ の注入条件で注入した後に、図8に示すように前記ゲート電極7の側端部にサイドウォールスペーサ膜41を形成し、ホトレジスト膜42をマスクにして例えば、ヒ素イオンをおよそ加速電圧80KeVで、注入量 $5 \times 10^{15} / \text{cm}^2$ の注入条件で注入する。尚、本実施形態において、ソース・ドレイン領域はLDD構造に限定されるものではないことは言うまでもないことである。

【0030】

そして、図9において、前記P型ボディー領域3の電位を取るために前記N型拡散領域4に隣接する位置に形成されるP型拡散領域12を形成するために、ホトレジスト膜38をマスクにしてP型不純物（例えば、二フッ化ボロンイオン）を注入して、当該P型拡散領域12を形成する。本工程は、例えば、二フッ化ボロンイオンをおよそ加速電圧60KeVで、注入量 $4 \times 10^{15} / \text{cm}^2$ の注入条件で注入する。

【0031】

以下、従来構成と同様にソース電極10、ドレイン電極11を形成した後に、

層間絶縁膜 13 を形成して半導体装置を完成させる。

【0032】

以上、説明したように本発明の半導体装置の製造方法では、前記ドリフト領域と成るN層22を形成する際に、拡散係数の異なるヒ素イオンとリンイオンと、このリンイオンの拡散係数とほぼ同程度かそれ以上の拡散係数を有するボロンイオンとの拡散係数の差を利用して形成しているため、製造工程が簡便である。

【0033】

また、チャネルストッパ層38を形成するための工程が、通常の高耐圧MOSトランジスタのチャネルストッパ層を形成する工程と同時に行為れるため、製造工数が増大することがない。

【0034】

更に、図10は本発明の他の実施形態の半導体装置を示す断面図であり、前述した一実施形態と異なる特徴は、素子分離膜9Bを介して複数体並設されるLDMOSTランジスタの拡散領域4、5の配列を逆転させた点であり、このような配列とすることで更なる高集積化が図れる。即ち、一実施形態のように電位が変動する拡散領域5（ドレイン領域）同士が素子分離膜9Bを介して隣り合う構成に比して拡散領域4（ソース領域）と拡散領域5（ドレイン領域）が隣り合う構成の方が、一方が固定電位であるために素子分離膜9Bのサイズを小さくできる。

【0035】

尚、前述した高集積化を可能にするという特徴は、図12に示す従来構成のLDMOSTランジスタ、つまり、N型ウェル領域2が一様に同じ深さ位置まで形成されたものに適用しても有効であることは言うまでもない。

【0036】

【発明の効果】

本発明の半導体装置によれば、ドリフト領域と成る低濃度層が、少なくともゲート電極下では浅く、かつドレイン領域近傍では深く形成されることで、高耐圧化並びにオン抵抗の低減化が図れると共に、このような構成の半導体装置が素子分離膜を介して複数体並設された場合に、この素子分離膜下にチャネルストッパ

層を形成されることで、素子分離膜自体のサイズが小さくでき、高集積化が図れる。

【0037】

また、本発明の半導体装置の製造方法では、前記チャネルストッパ層を形成するための工程が、通常の高耐圧MOSトランジスタのチャネルストッパ層を形成する工程と同時に行われるため、製造工数が増大することがない。

【0038】

更に、本発明では前記ドリフト領域を形成する際に、拡散係数の異なる少なくとも2種類の第2導電型不純物と、この少なくとも1種類以上の第2導電型不純物の拡散係数とほぼ同程度かそれ以上の拡散係数を有する少なくとも1種類以上の第1導電型不純物との拡散係数の差を利用して形成しているため製造工程が簡便となる。

【図面の簡単な説明】

【図1】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図2】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図3】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図4】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図5】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図6】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図7】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図8】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図 9】

本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図 1 0】

本発明の他の実施形態の半導体装置の製造方法を示す断面図である。

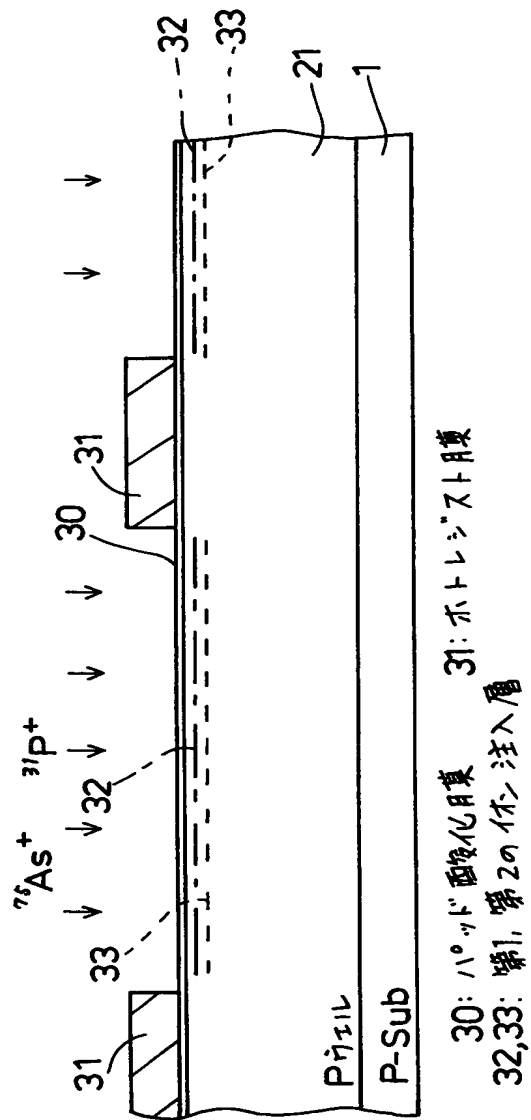
【図 1 1】

本発明のドリフト領域形成原理を説明するための各種イオンの濃度分布図である。
。

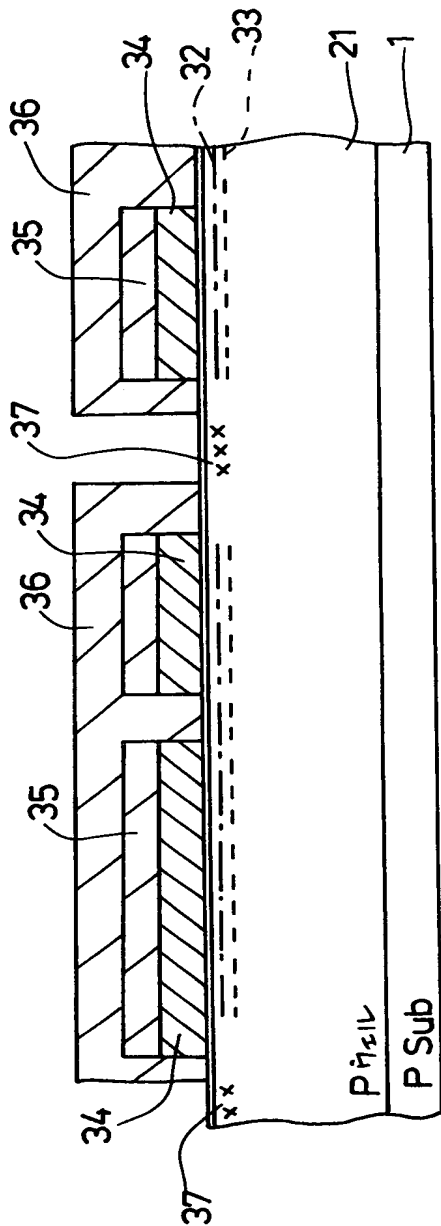
【図 1 2】

従来の半導体装置を示す断面図である。

【図 2】

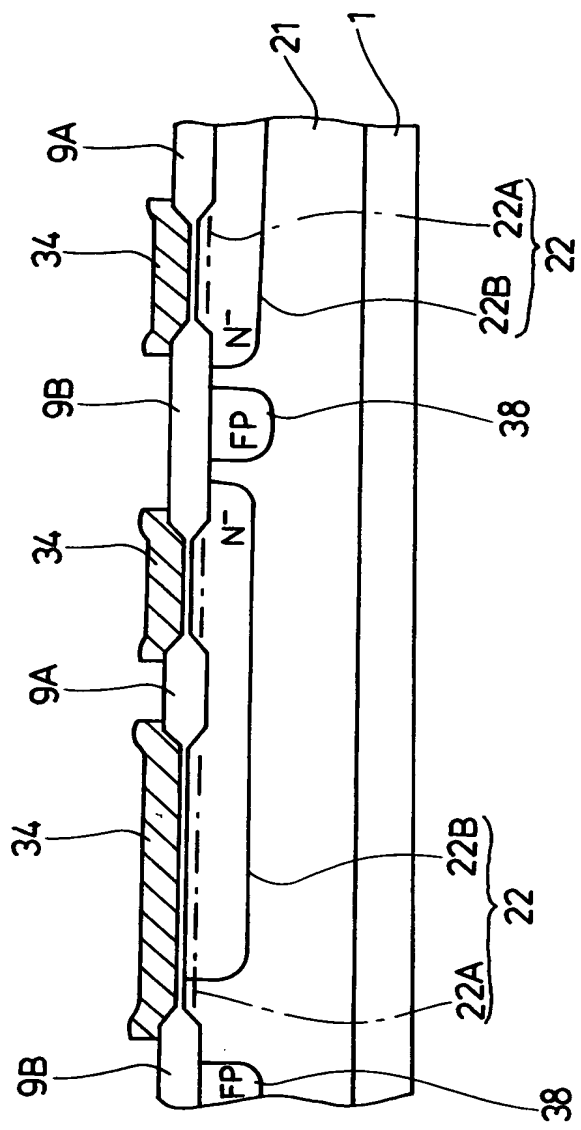


【図 3】

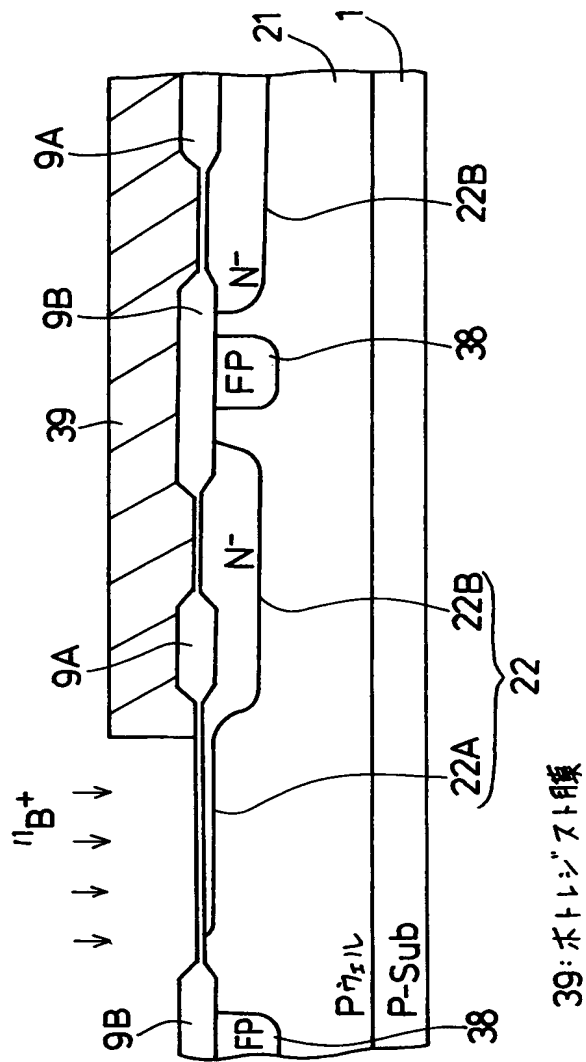


34: シリコン窒化膜 35, 36: 第1, 第2のホトレジスト膜
37: 4thネグストパ^o層形成用イ^o注入層

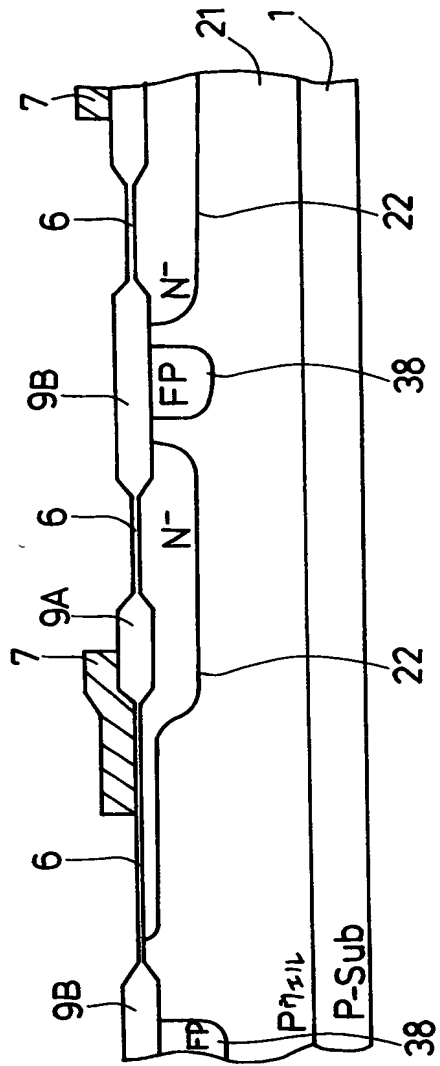
【図 4】



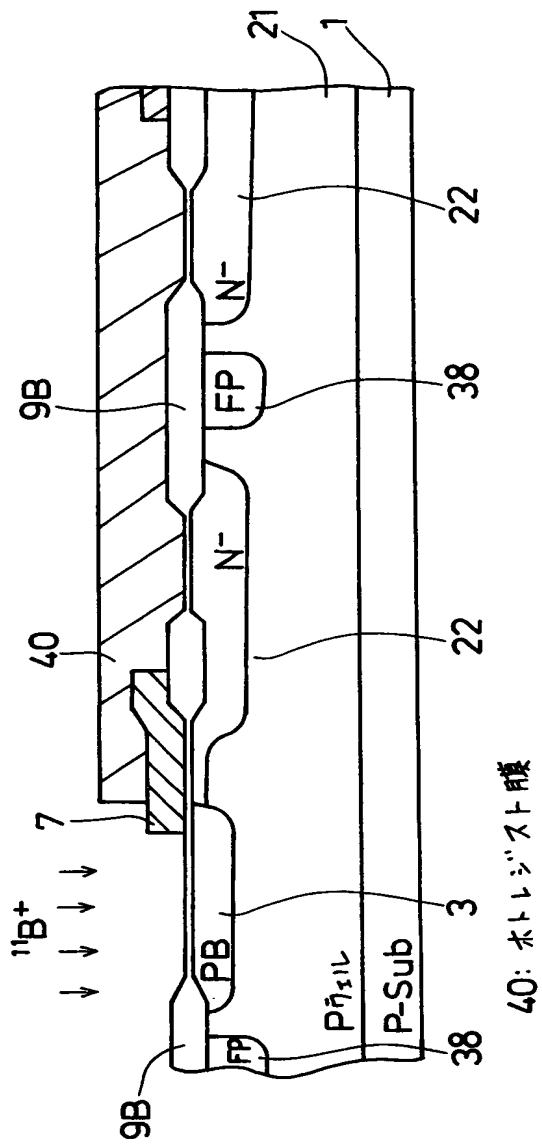
【図 5】



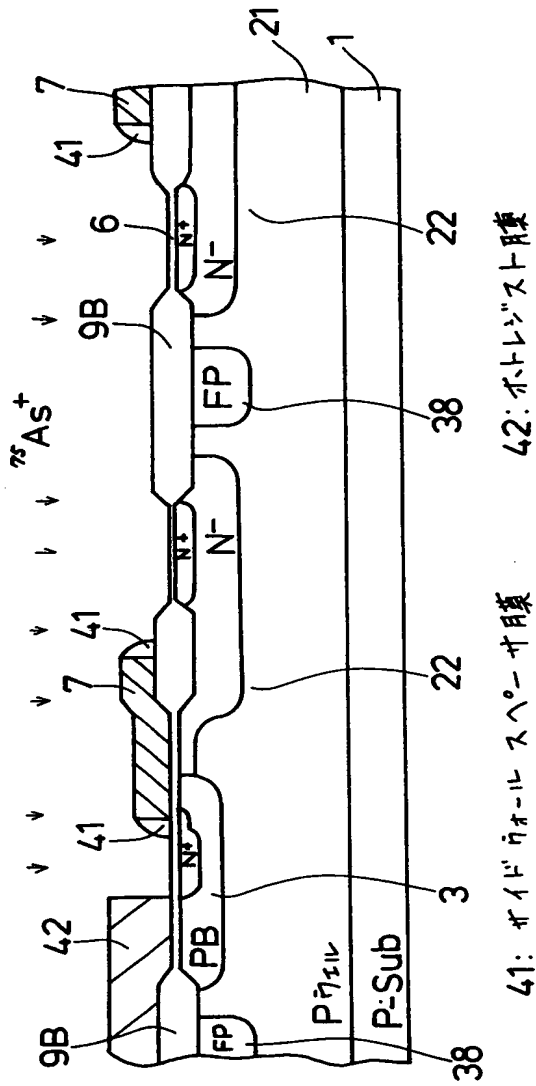
【図 6】



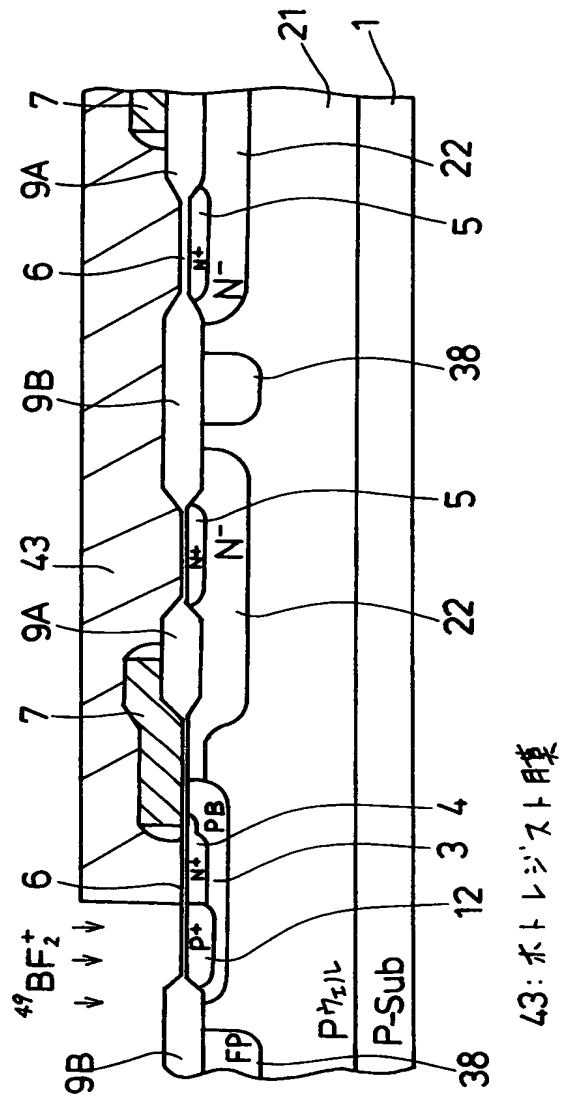
【図 7】



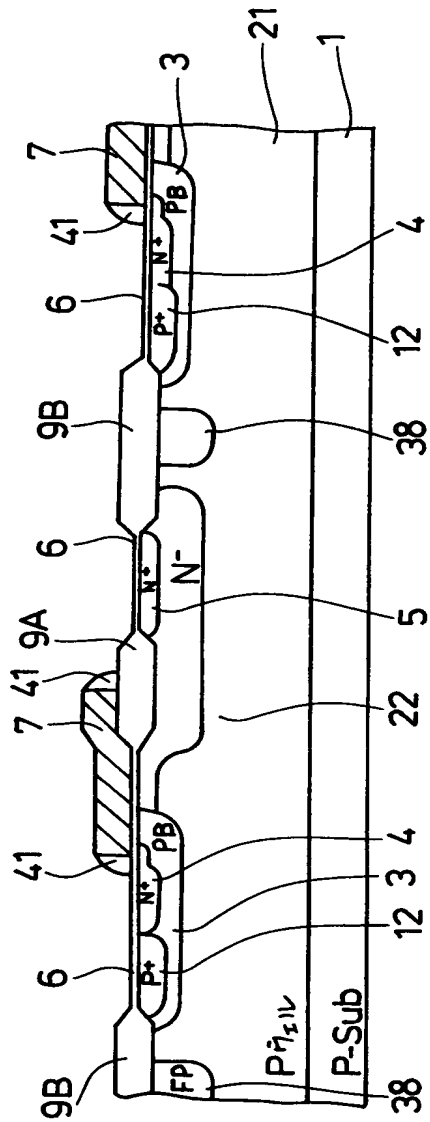
【図 8】



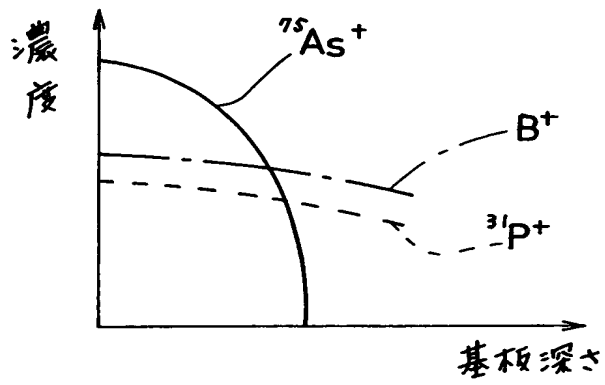
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 高耐圧化並びにオン抵抗の低減化を図ると共に、高集積化を可能とする。

【解決手段】 ソース領域 4、チャネル領域 8 及びドレイン領域 5 を有し、更に前記チャネル領域 8 上にゲート電極 7 が形成されており、前記チャネル領域 8 及びドレイン領域 5 間に少なくとも前記ゲート電極 7 下では浅く（第 1 の N-層 22 A）、かつ前記ドレイン領域 5 近傍では深く（第 2 の N-層 22 B）形成された N-層（ドリフト領域）22 から成る構成が、素子分離膜 9 A を介して複数体並設された半導体装置において、前記素子分離膜 9 A 下にチャネルストッパ層 38 が形成されていることを特徴とする。

【選択図】 図 1

【書類名】 職権訂正データ
 【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
 【識別番号】 000001889
 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号
 【氏名又は名称】 三洋電機株式会社
 【代理人】 申請人
 【識別番号】 100076794
 【住所又は居所】 群馬県邑楽郡大泉町坂田一丁目 1 番 1 号 三洋電機
 株式会社 情報通信事業本部
 【氏名又は名称】 安富 耕二
 【選任した代理人】
 【識別番号】 100107906
 【住所又は居所】 群馬県邑楽郡大泉町坂田一丁目 1 番 1 号 三洋電機
 株式会社 半導体事業本部 事業推進統括部 知的
 財産部
 【氏名又は名称】 須藤 克彦

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日 1993年10月20日
[変更理由] 住所変更
住 所 大阪府守口市京阪本通2丁目5番5号
氏 名 三洋電機株式会社